

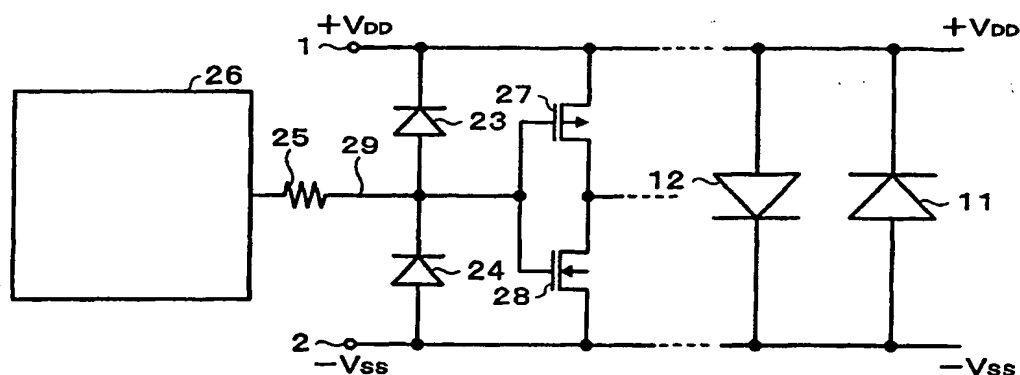




(51) 国際特許分類7 H01L 27/04	A1	(11) 国際公開番号 WO00/44049  (43) 国際公開日 2000年7月27日(27.07.00)
(21) 国際出願番号 PCT/JP00/00215 (22) 国際出願日 2000年1月19日(19.01.00) (30) 優先権データ 特願平11/10716 1999年1月19日(19.01.99) JP 特願平11/10717 1999年1月19日(19.01.99) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 橋本正美(HASHIMOTO, Masami)[JP/JP] 大川和彦(OKAWA, Kazuhiko)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		(81) 指定国 CN, JP, KR, US 添付公開書類 国際調査報告書

(54)Title: CIRCUIT FOR PROTECTION AGAINST STATIC ELECTRICITY, AND INTEGRATED CIRCUIT

(54)発明の名称 静電気保護回路及びそれを用いた半導体集積回路



(57) Abstract

A circuit for protection against static electricity comprises a first power supply terminal (1) to which a first voltage is applied, a second power supply terminal (2) to which a second voltage lower than the first voltage is applied, a first diode (12) connected in reverse direction between the first and second power supply terminals, and a second diode (11) connected in forward direction between the first and second power supply terminals. In this configuration, either the first or the second diode is in the forward connection, whichever polarity the static charge between the first and second power supply terminals has. Therefore, any static charge flows through the forward diode and disappears promptly.

(57)要約

本発明の静電気保護回路は、第1の電圧が印加される第1の電源端子1と、第1の電圧よりも低い第2の電圧が印加される第2の電源端子2と、第1、第2の電源端子間に逆方向接続された第1のダイオード12と、第1、第2の電源端子間に順方向接続された第2のダイオード11とを有して構成される。このようにすることで、第1、第2の電源端子間に加わった静電気に対しては、正負のどちらの極性の電荷であっても、その電荷に対して第1、第2のダイオードの一方が必ず順方向となる。従って、静電気に起因した電荷は、その電荷に対して順方向となるダイオードを介して速やかに吸収されて消滅する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AG アンティグア・バーブーダ	DZ アルジェリア	LC セントルシア	SD スーダン
AL アルバニア	EE エストニア	LI リヒテンシュタイン	SE スウェーデン
AM アルメニア	ES スペイン	LK スリ・ランカ	SG シンガポール
AT オーストリア	FI フィンランド	LR リベリア	SI スロヴェニア
AU オーストラリア	FR フランス	LS レソト	SK スロヴァキア
AZ アゼルバイジャン	GA ガボン	LT リトアニア	SL シェラ・レオネ
BA ボスニア・ヘルツェゴビナ	GB 英国	LU ルクセンブルグ	SN セネガル
BB バルバドス	GD グレナダ	LV ラトヴィア	SZ スワジランド
BE ベルギー	GE グルジア	MA モロッコ	TD チャード
BF ブルキナ・ファソ	GH ガーナ	MC モナコ	TG トーゴ
BG ブルガリア	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BJ ベナン	GN ギニア	MG マダガスカル	TM トルクメニスタン
BR ブラジル	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BY ベラルーシ	GW ギニア・ビサオ		TT トリニダード・トバゴ
CA カナダ	HR クロアチア	ML マリ	TZ タンザニア
CF 中央アフリカ	HU ハンガリー	MN モンゴル	UA ウクライナ
CG コンゴ	ID インドネシア	MR モーリタニア	UG ウガンダ
CH スイス	IE アイルランド	MW マラウイ	US 米国
CI コートジボアール	IL イスラエル	MX メキシコ	UZ ウズベキスタン
CM カメルーン	IN インド	MZ モザンビーク	VN ヴェトナム
CN 中国	IS アイスランド	NE ニジェール	YU ユーゴスラヴィア
CR コスタ・リカ	IT イタリア	NL オランダ	ZA 南アフリカ共和国
CU キューバ	JP 日本	NO ノールウェー	ZW ジンバブエ
CY キプロス	KE ケニア	NZ ニュー・ジーランド	
CZ チェッコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

## 明 細 書

## 静電気保護回路及びそれを用いた半導体集積回路

## 〔技術分野〕

本発明は、静電気保護回路及びそれを用いた半導体集積回路に関し、特に絶縁ゲート電界効果型トランジスタ（以下MOSFETと略す）を用いた集積回路の静電気保護回路に関する。

## 〔背景技術〕

図9は通常、バルク基板を用いたMOS集積回路の一般的な信号端子1509と電源端子1, 2とに関わる代表的な静電気保護回路を示したものである。図9において、信号端子1509や第1, 2の電源端子間に加わった静電気の電荷吸収の経路としては、信号端子1509からダイオード1503を介して電位 $+V_{DD}$ を示す第1の電源端子1に流れる経路と、電位 $-V_{SS}$ を示す第2の電源端子2からダイオード1504を介して信号端子に流れる経路とがある。また、第2の電源端子2からダイオード1501を介して第1の電源端子1に流れる経路がある。より実際には図9に示すように、パッド端子1506からの入力信号は、抵抗1505と、ダイオード1503、1504の一端を経由して内部回路のインバータを形成するP型MOSFET1507とN型MOSFET1508のゲート電極に供給されている。

図9では、内部回路のP型MOSFET1507やN型MOSFET1508のゲート電極にパッド1506を直接に接続すると、パッド1506から静電気が入力された場合、P型MOSFET1507やN型MOSFET1508のゲート電極が破壊されやすい。これを防ぐ為に、静電気の衝撃をやらわせる役目の抵抗1505と電荷を吸収する役目のダイオード1503, 1504を使用したものである。また、後述するようにダイオード1501は第1, 2の電源端子間に加わった静電気は勿論、前述した信号端子に加わった静電気に対しても電荷吸収経路として作用する構成となっている。

なお、従来の静電気保護回路において、前述の電荷吸収の役目をするダイオード素子1503は第1の電源端子1に電荷を流し、ダイオード1504は第2の電源端子2から信号端子1509に電荷を流すように接続されていた。また、第1の電源端子

1と第2の電源端子2との間にはダイオード1501が逆方向に接続されていた。これは、ダイオード1501、1503、1504を図9とは逆に電荷を流すように順方向に接続すると、集積回路に電源を接続して実際に動作させたときに、順方向のダイオードを通してリーク電流（漏洩電流）が流れてしまうからである。

また、シリコン・オン・インシュレータ基板を用いた集積回路（以下SOI集積回路と略す）においては、通常バルクにおけるウエルそのものがなく、埋め込み酸化膜で下方が絶縁され、周囲も選択的酸化膜（LOCOS）に覆われている。このため、一般的には、図9の第1、2の電源端子間にあるダイオード1501に相当するものがない。あえて書けば図11のように、第1、2の電源端子間に従来の基板のPウエルとNウエルから生じるダイオードが全く存在しない。しかしながら、後述するように静電気からの保護という観点では、これに相当するダイオードは必要である。したがってSOI集積回路においても、図12のようにダイオード1801を第1、2の電源端子間に付加したり、図13のようにソース電極とゲート電極を互いに接続したMOSFET1901を第1、2の電源端子間に接続して、逆方向ダイオードと同様の作用をさせていた。あるいは、図14のように、それぞれソース電極とゲート電極を互いに接続したP型MOSFET2001とN型MOSFET2000を電源間に逆方向ダイオードと同様の作用をするように並列に接続したりして、通常バルク基板の集積回路と同じ原理の静電気保護をしていた。

さて、静電気が電源端子間や信号端子に加わった場合、集積回路内部で静電気破壊が起こることがある。まず、静電気が信号端子に加わった場合については、静電気保護回路で速やかにその電荷を吸収してやらないと、信号端子の先の内部回路が破壊されることがしばしば起こる。図9においては、P型MOSFET1507やN型MOSFET1508のゲート破壊が起きやすい。MOSFETのゲート膜厚が基板との間で、数百オングストロームから数十オングストロームの非常に薄い膜から出来ており、基板、もしくはソース電極は結局電源につながっている。このため薄いシリコン酸化膜の間に高い電圧、かつ強い電界が加わり、ゲート膜の破壊に至ることになる。したがって、静電気が加わった際に、その電荷を速やかに吸収して消滅させるために、前述したように図9の静電気保護回路もしくはそれに相当する手段を用いている。図

9の回路において、信号端子1509、第1の電源端子1及び第2の電源端子2それぞれの間での電荷の流れ方には次の4通りが考えられる。つまり、

- (A) 信号端子…正電荷、第1の電源端子…負電荷
- (B) 信号端子…負電荷、第1の電源端子…正電荷
- (C) 信号端子…正電荷、第2の電源端子…負電荷
- (D) 信号端子…負電荷、第2の電源端子…正電荷

の4通りである。従来回路の図9の場合には前記(A)と(D)の場合はダイオード1503、もしくはダイオード1504が電荷に対して順方向に流れるので、侵入した静電気の電荷は速やかに吸収され、静電気破壊は防止される。(B)と(C)の場合には、ダイオード1503と1504はそれぞれの場合において、共に静電気の電荷の極性に対して逆方向となる。したがって(B)の場合には負の電荷はダイオード1503を逆方向でも無理やり通過する。もしくは負の電荷がまず、ダイオード1504を電荷に対して順方向で抜け、第2の電源端子2から第1の電源端子1へ、基板に存在するPウェル(P-well)からNウェル(N-well)の逆方向ダイオード1501を通り第1の電源端子1へ抜けることになる。(C)の場合には正の電荷は、ダイオード1504を逆方向でも無理やり通過する。もしくは正の電荷は、まずダイオード1503を順方向で抜け、第1の電源端子1から第2の電源端子2へ、基板に存在するNウェルからPウェルの逆方向ダイオード1501を通り第2の電源端子2へ抜けることになる。したがって(B)と(C)の場合は、電荷は必ず逆方向のダイオードを無理に通過する必要があるので、静電気に弱く、比較的低い電圧で破壊した。なお、代表例として、(C)の場合の静電気の電荷が抜ける様子を図10に図示している。

以上は信号端子に静電気が加わった場合の電源間にある逆方向ダイオードの役目を説明したが、電源端子間そのものに電源と同一の極性で静電気が加わった場合は、電荷は電源端子間に存在するダイオードを逆方向に抜けることになる。また、SOI集積回路ではこのダイオードすらないために静電気の電荷の吸収が出来ず、電源配線が関わる箇所の最も弱い箇所で容易に破壊が起こる。

次に、何故、ダイオードを静電気の電荷が通過する場合に順方向では強く、逆方向

では弱くなるかのメカニズムを図30、図31で簡単に説明する。図30では、P型拡散層131とN型拡散層132の境界面で接し、PNダイオードを形成している。図30はP型拡散層131が正電位、N型拡散層132が負電位の場合を示している。この場合、電位の関係は電荷に対してダイオードの順方向に働いており、電流はPN境界面のどこでも無理なく流れるので電流はPN境界面の全面にわたり、至る所で同じように流れる。したがってダイオード全体としても電流が流れ易く、かつ吸収能力も高い。またダイオード自体にも電流が平均的に分散して流れるので、極度に集中するところもなく、電流が流れることによるダイオード自身の破壊も起こらない。

一方、図31の場合は逆方向に流れる場合の様子を示している。図31では、P型拡散層141とN型拡散層142の境界面で接し、PNダイオードを形成している。図31はP型拡散層141が負電位、N型拡散層142が正電位の場合を示している。

この場合、電位の関係はダイオードとして逆方向になるので、通常電流は流れない。しかし、それに無理に高い電圧を掛けて逆方向に電流を流す場合は、PN境界面のバラツキにより、相対的に耐圧が弱く、流れやすい特定の箇所から流れ始める。したがって耐圧を越え、電流が流れ出したとしてもPN境界面で均一に逆方向に電流が流れる訳ではなく、比較的流れ易い所に集中する傾向がある。この電流の流れの様子を図31に示す。このようにダイオードを逆方向に電流が流れる場合には均一に流れず、特定のところに集中する傾向があるので、ダイオードのPN境界面の大きさの割には電流を流す能力、つまり吸収能力が弱い。かつダイオードの中で特定の流れやすい所に電流が集中する為、集中したところの電流密度は極度に高まり、発熱を含め、ダイオード自体の破壊が非常に起きやすい。

以上より、ダイオードが順方向に作用する場合には静電気に対して非常に強く、一方、ダイオードが逆方向に作用する場合の静電気には非常に弱いという特性があり、静電気の掛かり方次第では、低い耐圧でも破壊してしまう恐れがあった。

また、従来の静電気保護回路方式では、前述したようにダイオードが電荷に対して逆方向にしか作用しない場合が必ず生じる。そのときの静電気耐圧を高くするために、ダイオード又はMOSFETの形状を大きくして、逆方向で作用する場合の弱さをダイオード又はMOSFETの面積を大きくすることで対応していた。このために各パ

ッドに付加する静電気保護回路の占めるチップ面積が大きくなり、コストアップやパッド数やピン数が多くとれずに制限されるという課題があった。

また、ダイオード面積を大きくすると、これにともないキャパシタの作用をする寄生静電容量が増加し、高周波動作を必要とする端子には高周波に関わる各種特性の悪化や消費電流が増加するという課題があった。

更には、S O I 集積回路の場合には前述したように、電源端子間に P N ウエルによる逆方向ダイオードさえ通常では存在せず、静電気耐圧が非常に弱いという課題があった。また、例えば電源端子間に、従来の通常バルクの P N ウエルによる逆方向ダイオードに相当するものを、新たなダイオードや M O S F E T により等価的に付加したとする。しかし、従来の電源端子間に寄生して存在する P ウエルと、N ウエルが膨大な面積になるダイオードに相当するものは占有面積の問題から形成できないので、やはり十分な静電気耐圧を確保できないという課題があった。

そこで本発明はこのような課題・問題点に鑑みてなされ、その目的とするところは、電源端子間、あるいは電源端子・信号端子間において十分な静電気耐圧を持つ静電気保護回路及びそれを用いた半導体集積回路を提供することにある。本発明の他の目的は、比較的小さな面積で十分な静電気耐圧を持つ静電気保護回路及びそれを用いた静電気耐圧が強く、かつ静電気保護回路を付加したことによる寄生静電容量の小さい、高周波動作に適した静電気保護回路を提供することにある。

#### [発明の開示]

本発明の一態様に係る静電気保護回路は、

第 1 の電圧が印加される第 1 の電源端子と、

前記第 1 の電圧よりも低い第 2 の電圧が印加される第 2 の電源端子と、

前記第 1、第 2 の電源端子間に逆方向接続された第 1 のダイオードと、

前記第 1、第 2 の電源端子間に順方向接続された第 2 のダイオードと、

を有し、

前記第 1、第 2 の電源端子間に供給される駆動電圧よりも、前記第 2 のダイオードの順方向降下電圧が高く設定されていることを特徴とする。

本発明の一態様によれば、第 1、第 2 の電源端子間に加わった静電気に対しては、



正負のどちらの極性の電荷であっても、その電荷に対して第1, 第2のダイオードの一方が必ず順方向となる。従って、静電気に起因した電荷は、その電荷に対して順方向となるダイオードを介して速やかに吸収されて消滅する。

ここで、第2のダイオードは第1, 第2の電源端子間に順方向接続されているので、通常動作時に第1, 第2の電源端子に印加される駆動電圧の電荷に対して、第2のダイオードは順方向に作用する。しかし、第1, 第2の電源端子間に供給される駆動電圧よりも、前記第2のダイオードの順方向降下電圧が高く設定されている。このため、通常動作時に第2のダイオードにて順方向リーク電流が流れることはない。

第2のダイオードは、P型拡散層とN型拡散層とが接触したPN接合構造を有することができる。この場合、第2のダイオードの順方向降下電圧は、P型拡散層とN型拡散層との境界面に生ずる電位差である接触電位（接触電位差）にて定義される。従って、第1, 第2の電源端子間に供給される駆動電圧よりも、第2のダイオードの順方向降下電圧が高く設定されていれば、通常動作時に第2のダイオードにて順方向リーク電流が流れることを防止できる。

前記第2のダイオードは、直列接続された複数のダイオードにて形成することができる。この複数のダイオードの各々は、P型拡散層とN型拡散層とが接触したPN接合構造を有する。こうすると、直列接続されるダイオードの数を $n$ とした場合、第2のダイオードの順方向降下電圧は、各ダイオードの接触電位の $n$ 倍となるので、より高い電源電圧の使用が可能となる。

前記第2のダイオードは、第1のP型拡散層と第1のN型拡散層との間に、第2のP型またはN型拡散層を互いに接触させて配置して形成することができる。この場合、第1のP型及びN型拡散層の拡散濃度が、第2のP型またはN型拡散層の拡散濃度よりも濃く設定されることが好ましい。第2のダイオードの接触電位を高くでき、それにより、より高い電源電圧の使用が可能となる。

前記第2のダイオードは、ドレイン及びゲート電極が接続されたMOSトランジスタにて形成することができる。この場合、第2のダイオードの順方向降下電圧は、MOSトランジスタのスレシヨルド電圧にて定義される。

前記第2のダイオードは、複数のMOSトランジスタを直列接続して形成すること

ができ。この場合も、複数のMOSトランジスタの各々は、ドレイン及びゲート電極が接続される。こうすると、直列接続されるMOSトランジスタの数を $n$ とすると、第2のダイオードの順方向降下電圧は、各MOSトランジスタのスレシヨルド電圧の $n$ 倍となる。このため、より高い電源電圧の使用が可能となる。

前記第1のダイオードは、ソース電極とゲート電極とが前記第1の電源端子に接続されたP型MOSトランジスタと、ソース電極とゲート電極とが前記第2の電源端子に接続されたN型MOSトランジスタとを並列に接続して構成することができる。こうすると、第1のダイオードは、より安定した特性を得ることができる。

前記第1, 第2のダイオードは、シリコン・オン・インシュレータ(SOI)基板上に形成されることが好ましい。こうすると、第1, 第2のダイオードの周囲が絶縁層に覆われるので、余計な寄生ダイオードが形成されることを防止できる。

本発明の他の態様に係る静電気保護回路は、

第1の電圧が印加される第1の電源端子と、

前記第1の電圧よりも低い第2の電圧が印加される第2の電源端子と、

前記第1の電圧以下でかつ前記第2の電圧以上の信号電圧が印加される信号端子と、

前記第1の電源端子と前記信号端子との間に順方向接続された第1のダイオードと、

前記信号端子と前記第2の電源端子との間に順方向接続された第2のダイオードと、

前記第1の電源端子と前記信号端子との間に逆方向接続された第3のダイオードと、

前記信号端子と前記第2の電源端子との間に逆方向接続された第4のダイオードと、

を有し、

前記第1, 第2の電源端子間に供給される駆動電圧よりも、前記第1, 第2のダイオードの各々の順方向降下電圧が高く設定されていることを特徴とする。

本発明の一態様によれば、信号端子と、第1または第2の電源端子間に加わった静

電気に対しては、正負のどちらの極性の電荷であっても、その電荷に対して第1～第4のダイオードのいずれか一つが必ず順方向となる。従って、静電気に起因した電荷は、その電荷に対して順方向となるダイオードを介して速やかに吸収されて消滅する。

ここで、第1、第2のダイオードは、信号端子と第1または第2の電源端子との間に順方向接続されている。このため、通常動作時に信号端子と第1または第2の電源端子とに印加される駆動電圧の電荷に対して、第1、第2のダイオードは順方向に作用する。しかし、第1、第2の電源端子間に供給される駆動電圧よりも、前記第1、第2のダイオードの順方向降下電圧が高く設定されている。このため、通常動作時に第1、第2のダイオードにて順方向リーク電流が流れることはない。

なお、本発明の他の態様においても、本発明の一態様にて上述した各種実施形態を適用することができる。

本発明のさらに他の態様に係る半導体集積回路は、

複数のP型MOSトランジスタ及び複数のN型MOSトランジスタを接続して構成される論理回路と、

前記論理回路の周辺に配置された入出力回路と、  
を有し、

前記入出力回路は、前記論理回路を静電気から保護する静電気保護回路であって、本発明の一態様の構成を備えた静電気保護回路を含むことを特徴とする。

本発明のさらに他の態様によれば、上述した静電気保護回路の作用により、論理回路を静電気から保護することができる。

ここで、本発明に係る半導体集積回路においても、本発明の一態様にて上述した静電気保護回路の各種実施形態を適用することができる。

特に、第1のダイオードが有するP型及びN型拡散層の少なくとも一方の拡散濃度は、論理回路内の前記複数のP型及びN型MOSトランジスタのソース電極に使用される拡散層の拡散濃度と同じかそれによりも高く設定することができる。上述の拡散層の濃度を等しく設定しても、第1、第2の電源端子間に供給される駆動電圧よりも、第2のダイオードの順方向降下電圧（接触電位）が高く設定されていれば、通常動作時に第2のダイオードに順方向リーク電流は生じない。上述の拡散濃度を高く設定す

れば、第2のダイオードの接触電位が高くなるので、より高い電源電圧の使用が可能となる。

第2のダイオードを形成するMOSトランジスタのスレッシュホールド電圧を、論理回路内の複数のP型及びN型MOSトランジスタの各々のスレッシュホールド電圧よりも高く設定した場合も、同様により高い電源電圧の使用が可能となる。

本発明のさらに他の態様に係る半導体集積回路は、本発明の他の態様の構成を備えた静電気保護回路を含むものである。

ここで、本発明に係る半導体集積回路においても、本発明の他の態様にて上述した静電気保護回路の各種実施形態を適用することができる。

#### 〔図面の簡単な説明〕

図1は、本発明の第1の実施形態を示す回路図である。

図2は、本発明の第1の実施形態をより实际的に使用される場合を示す、第2の実施形態に係る回路図である。

図3は、本発明の第3の実施形態を示す回路図である。

図4は、本発明の第4の実施形態を示す回路図である。

図5は、本発明の第5の実施形態を示す回路図である。

図6は、本発明の第6の実施形態を示す回路図である。

図7は、本発明の第7の実施形態を示す回路図である。

図8は、本発明の第8の実施形態を示す回路図である。

図9は、従来の静電気保護回路をより实际的に使用する場合を示す回路図である。

図10は、従来の静電気保護回路に静電気が加わった場合の電荷の流れの一例を示す模式図である。

図11は、従来の静電気保護回路の一例を示す回路図である。

図12は、従来の静電気保護回路の他の一例を示す回路図である。

図13は、従来の静電気保護回路のさらに他の一例を示す回路図である。

図14は、従来の静電気保護回路のさらに他の一例を示す回路図である。

図15は、本発明の第9の実施形態を示す回路図である。

図16は、本発明の第10の実施形態をより实际的に使用する場合を示す回路図で

ある。

図 17 は、本発明の第 11 の実施形態を示す回路図である。

図 18 は、本発明の第 12 の実施形態を示す回路図である。

図 19 は、本発明の第 13 の実施形態を示す回路図である。

図 20 は、本発明において使用される P N ダイオードの一例を示す断面図である。

図 21 は、本発明において使用される P N ダイオード他の一例を示す断面図である。

図 22 は、本発明において使用される P N ダイオードのさらに他の一例を示す断面図である。

図 23 は、本発明において使用される P N ダイオードのさらに他の一例を示す断面図である。

図 24 は、本発明において使用される P N ダイオードのさらに他の一例を示す断面図である。

図 25 は、本発明において使用される P N ダイオードのさらに他の一例を示す断面図である。

図 26 は、本発明において使用される P N ダイオードのさらに他の一例を示す断面図である。

図 27 は、本発明において使用される P N ダイオードのさらに他の一例を示す断面図である。

図 28 は、本発明において使用される P N ダイオードのさらに他の一例を示す断面図である。

図 29 は、本発明において使用される P N ダイオードのさらに他の一例を示す断面図である。

図 30 は、本発明で使用している P N ダイオード接合面の電流が順方向に流れる様子を示す模式図である。

図 31 は、本発明で使用している P N ダイオード接合面の電流が逆方向に流れる様子を示す模式図である。

図 32 は、一般の半導体集積回路の構成例を示すブロック図である。

### [発明を実施するための最良の形態]

図32は、半導体集積回路の一般的な構成例を表している。チップ3610内には、基本セルが密に配置されている。論理回路領域3630内には複数の基本セル同士が接続されて複数の論理回路が形成される。この論理回路領域3630の周辺には入出力回路領域3620が配置され、この入出力回路領域3620内には個々の入出力回路が配置されている。また図示しないが、個々の入出力回路内にはそれぞれに静電気保護回路が設けられている。また図示していないが、図32に示すような論理回路に限らず、アナログ回路やメモリ回路にも適用できる。本発明は主にこの静電気保護回路に関するものである。

以下に本発明の詳細を示す。

#### <第1の実施形態>

図1は本発明の第1の実施形態を示す回路図である。図1において、ダイオード11、12の各々は、P型拡散層とN型拡散層によって構成されている。第1の電源端子1は電位 $+V_{DD}$ が、第2の電源端子2は電位 $-V_{SS}$ がそれぞれ印加されている。この第1の電源端子1と第2の電源端子2との間には順方向に接続されたダイオード12と、逆方向に接続されたダイオード11が接続されている。このように接続されているので、第1、2の電源端子間に静電気が加わった場合は、その静電気の電荷の極性が正負のいずれかであっても、ダイオード11、12の一方が電荷に対して必ず順方向で作用する。したがって、電荷を速やかに吸収し、かつ順方向であればダイオード自体も破壊されにくいので、高い静電気耐圧が得られる。

さて、図1においてダイオード11は集積回路を動作させる場合に電源との関係において逆方向極性のダイオードとなるので、問題ないが、ダイオード12は集積回路の動作時において電源との関係において順方向ダイオードとなる。このため、第1、2の電源端子間の電圧が高いと、この順方向ダイオードを通して電流が流れる。したがって図1に示した実施形態は、順方向ダイオードの接触電位より、通常は低い第1、2の電源端子間電圧で使用するようになる。なお、MOS集積回路において使用されるP型拡散とN型拡散による拡散濃度においては、形成されるダイオードの一般的な接触電位は0.5Vから0.8V程度のことが多い。一方、近年において、携帯機器

用の集積回路が低消費電力、かつ低電圧動作が要求されたり、太陽電池を電源とする動作のために0.5V以下の電源電圧で集積回路が動作させる事例が増加してきた。また微細化が進むなかで、ますます低電圧電源化の傾向がある。また、SOI集積回路においては、動作時の等価的なスレッシュホールド電圧を下げて低電圧動作をさせる為に、MOSFETのゲート電極とボディ(基板)を接続して動作させるダイナミック・スレッシュホールド・MOS(以下DTMOSと略す)方式をとることがある。このような場合には、前述のDTMOSのゲート電極に接続されたボディとソース電極の間で順方向に接続されたダイオードが存在する。したがってDTMOSを用いるSOI集積回路は、ダイオードの接触電位より低い電源電圧で使用する。以上の例のような0.5V以下や、ダイオードの接触電位より低い電源電圧で動作させる集積回路の場合には、図1における本発明の実施形態が、静電気保護回路として有効に使用できる。

#### <第2の実施形態>

さて、図1では第1、2の電源端子間の静電気保護回路の吸収経路であるダイオードのみを示したが、図2は信号端子29を含む、より実際的な静電気保護回路の構成を示している。図2において、集積回路外部と信号をやりとりする場合に必要なパッド端子26、静電気が内部に進入する際にその電氣的衝撃を緩和するための抵抗25を有している。ダイオード23、24は信号端子29に侵入した電荷を吸収するためのものである。P型MOSFET27とN型MOSFET28によってインバータ回路を構成しており、このインバータ回路の入力端子のゲート電極に信号端子29が接続されている。信号端子29、第1、2の電源端子間での電荷の流れ方には次の4通りが考えられる。つまり

- (A) 信号端子…正電荷、第1の電源端子…負電荷
- (B) 信号端子…負電荷、第1の電源端子…正電荷
- (C) 信号端子…正電荷、第2の電源端子…負電荷
- (D) 信号端子…負電荷、第2の電源端子…正電荷

の4通りである。さて(A)と(D)の場合は、ダイオード23、もしくはダイオード24が電荷に対して順方向に作用するので、侵入した静電気の電荷は速やかに吸収され、静電気破壊は防止される。(B)の場合には負電荷が、まずダイオード24を

順方向で第2の電源端子2へ抜け、次に第2の電源端子2から第1の電源端子1へはダイオード12を順方向で通り第1の電源端子1へ抜けることになる。以上、電荷はすべて順方向に流れ、逆方向を無理やり流れる経路はない。(C)の場合には信号端子29に加わった正電荷は、まずダイオード23を順方向で第1の電源端子1へ抜け、次に第1の電源端子1から第2の電源端子2へはダイオード12を順方向で通り第2の電源端子2へ抜けることになる。以上、電荷はすべて順方向に流れ、逆方向に無理やり流れる経路はない。以上より、第1、2の電源端子間にダイオード12を付加したことにより、信号端子29に加わる静電気に対しても吸収経路がすべて順方向の経路が存在することになり、静電気耐圧が強くなる。

また、第1、2の電源端子間に対して、静電気が加わった場合にもダイオード11、もしくはダイオード12のどちらかが、必ず電荷に対して順方向となるので第1、2の電源端子間の静電気耐圧が向上する。

#### <第3の実施形態>

図3は本発明の第3の実施形態を示す回路図である。図3においてダイオード11、32、33の各々は、P型拡散層とN型拡散層によって構成されている。図3では、図1においてダイオード12が1個のダイオードであるのに対し、ダイオード32、33の各々を直列に接続した構成をとっている。2個のダイオードを1個のダイオードとしてみた等価的なダイオードとみなせる。このようにすることで、接触電位を2倍の値として、より高い第1、2の電源端子間電圧でも順方向にダイオードを作用させ、順方向のリーク電流なしに使用できるようになる。以上から静電気耐圧が高く、かつ第1、2の電源端子間電圧も充分、実用的に高い範囲まで使用できる構成としたのが図3の回路である。なお、図3のダイオード11は第1、2の電源端子の間で通常動作時には、電荷が逆方向に流れるダイオードとなっているので、ダイオード11の接触電位を高くしたり、直列に接続する必要はなく従来通りの1個のダイオードでよい。

また、図3においてはダイオード32、33を2個直列にしているが、使用する第1、2の電源端子間電圧の範囲に応じて3個以上ダイオードを直列接続して用いてもよい。



#### <第4の実施形態>

図4は本発明の第4の実施例を示す回路図である。図4では、図1のダイオード12がダイオード42に置き換わった構成となっている。ダイオード42はP型拡散層とN型拡散層の一方、もしくは両方の拡散濃度を変えられており、接触電位の値が大きくなっている。さて、ダイオードの接触電位 $V_B$ は次のように表せる。

$$V_B = - (kT/q) \cdot \text{Log}_e \{ (n_N \cdot n_P) / n_i^2 \}$$

ここで、 $k$ はボルツマン定数、 $T$ は絶対温度、 $q$ は電子1個の電荷量、 $n_N$ はN型拡散層の不純物濃度、 $n_P$ はP型拡散層の不純物濃度、 $n_i$ は単結晶シリコンにおける熱励起されて伝導帯に存在する電子密度であり、 $\text{Log}_e$ は自然対数である。したがって、拡散濃度を高くすれば、接触電位を高くすることができる。図4のダイオード42は、P型拡散層、N型拡散層のどちらか一方、もしくは両方の拡散濃度を高くして、ダイオード11より接触電位を高くしており、その分、第1、2の電源端子間電圧をより高いところまで使用できる構成としたものである。

#### <第5の実施形態>

図5は、本発明の第5の実施形態を示す回路図である。P型MOSFET51のゲート電極とソース電極は第1の電源端子1に接続され、ドレイン電極は第2の電源端子2に接続されている。P型MOSFET52のソース電極は第1の電源端子1に接続されており、ゲート電極とドレイン電極は互いにP型MOSFET53のソース電極に接続されている。P型MOSFET53のゲート電極とドレイン電極は第2の電源端子2に接続されている。

さて、前述したようにP型MOSFET51のゲート電極とソース電極は第1の電源端子1に接続され、ドレイン電極は第2の電源端子2に接続されている。このため第2の電源端子2が第1の電源端子1よりP型MOSFET51のスレッシュホールド電圧を越えて高い電位であればP型MOSFET51はオン(ON)する。また第2の電源端子2が第1の電源端子1より低い電位であればP型MOSFET51はオフ(OFF)する。つまりP型MOSFET51はソース電極とゲート電極が接続されたことにより、ダイオード特性を示し、図3のダイオード11と同様の働きをする。なお、このときP型MOSFET51のスレッシュホールド電圧が、ダイオードの接触電

位に相当している。また、P型MOSFET 52、53はそれぞれ、ゲート電極とドレイン電極を互いに接続しているのでやはりダイオード特性を示し、図3の2個直列に接続したダイオード32、33と同様の働きをする。したがって電源の極性と同じ極性の電荷の静電気に対しては電荷に対して順方向に動作し、電荷を吸収する役目をする。したがって、MOSFET 52、53を2個直列にしているので、P型MOSFET 52、53のそれぞれのスレッシュホールド電圧の合計値まで第1、2の電源端子間電圧を上げて順方向のリーク電流は流れない。

なお、より高い第1、2の電源端子間電圧で動作させるには3個以上のMOSFETを直列に接続してもよい。

#### <第6の実施形態>

図6は、本発明の第6の実施形態を示す回路図である。図6では、図5で直列に接続されていた2つのP型MOSFET 52、53が、P型MOSFET 62に置き換えられている。図6のP型MOSFET 62はゲート電極とドレイン電極が互いに接続されているので、ダイオード特性を持ち、図1のダイオード12と同様の働きをする。ただし、P型MOSFET 62は、スレッシュホールド電圧をP型MOSFET 61や集積回路内部の端子領域部で一般的に使用されており、P型MOSFETのスレッシュホールド電圧よりも高く設定されている。それにより、比較的高い第1、2の電源端子間電圧でもP型MOSFET 62がオンせず、リーク電流なしに集積回路のMOSFETを動作させるに十分な第1、2の電源端子間電圧を集積回路内のMOSFETに供給できる。なお、P型MOSFET 62のスレッシュホールド電圧を高くする方法としてはチャネルドープの打ち込み量を変える方法、ゲート膜厚を厚くする方法、ゲート電極の材質を変えたり、不純物濃度を変える方法等がある。

#### <第7の実施形態>

図7は、本発明の第7の実施形態を示す回路図である。図7では、図6の回路のP型MOSFET 62のゲートに抵抗素子74、図6の回路のP型MOSFET 51のゲートに抵抗素子73が付加されている。これによりP型MOSFET 71、72のゲート電極を介した静電気破壊を未然に防止していることであり、より高い静電気耐圧が場合により期待できる。

### <第 8 の実施形態>

図 8 は、本発明の第 8 の実施形態を示す回路図である。図 8 には、図 5 の第 1、2 の電源端子間に N 型 MOSFET 80 と、直列に接続された 2 つの N 型 MOSFET 84、85 とが並列に接続されている。また、N 型 MOSFET 80 は P 型 MOSFET 51 と同様の役目を N 型 MOSFET で構成したものである。また、N 型 MOSFET 84、85 は P 型 MOSFET 52、53 と同様の役目を N 型 MOSFET で構成したものである。したがって図 8 は図 5 と同じ回路構成を P 型 MOSFET と N 型 MOSFET の両方の素子を用いて構成したものである。P 型 MOSFET と N 型 MOSFET を両方用いているので、より安定した特性が期待できる。

### <第 9 の実施形態>

図 15 は、本発明の第 9 の実施形態を示す回路図である。第 1 の電源端子 1 には電位  $+V_{DD}$  が、第 2 の電源端子 2 には電位  $-V_{SS}$  がそれぞれ印加されている。この第 1、2 の電源端子間には、順方向に接続されたダイオード 2111、2112 が直列に接続されている。この第 1、2 の電源端子間には逆方向に接続されたダイオード 2113、2114 が直列に接続されている。信号端子 2115 と第 1、2 の電源端子間にかかった静電気に対しては、正負のどちらの極性の電荷であっても、その電荷に対して、4 つのダイオード 2111、2112、2113、2114 のうちの 하나가必ず順方向になる。したがって、電荷を速やかに吸収し、かつ順方向であればダイオード自体も破壊しにくいので、高い静電気耐圧が得られる。

### <第 10 の実施形態>

図 16 は、本発明の第 10 の実施形態を示す回路図である。図 15 では電源間の静電気保護回路の吸収経路であるダイオードのみを示したが、図 16 は信号端子を含む、より実地的な静電気保護回路の構成を示している。図 16 において、集積回路外部と信号をやりとりする場合に必要なパッド端子 2220 であり、静電気が内部に進入する際にその電氣的衝撃を緩和するための抵抗 2227 を有している。P 型 MOSFET 2228 と N 型 MOSFET 2229 によってインバータ回路を構成されている。ダイオード 2111、2112、2113、2114 はパッド端子 2220 から侵入した電荷を吸収するためのものである。これにより、P 型 MOSFET 2228 や N

型MOSFET 2229のゲート電極を保護している。なお、図16においては抵抗2227を示したが、入力信号の電気的特性を重要視した場合には、この抵抗2227がないときもある。また、図16においてはインバータ回路のゲート電極に接続した入力回路の例を示したが、MOSFETのドレイン電極に接続された出力回路の場合もある。信号端子2115、第1の電源端子1及び第2の電源端子2それぞれの間での電荷の流れ方には次の4通りが考えられる。つまり

- (A) 信号端子…正電荷、第1の電源端子…負電荷
- (B) 信号端子…負電荷、第1の電源端子…正電荷
- (C) 信号端子…正電荷、第2の電源端子…負電荷
- (D) 信号端子…負電荷、第2の電源端子…正電荷

の4通りである。さて(A)の場合はダイオード2113が電荷に対して順方向に作用する。(B)の場合はダイオード2111が電荷に対して順方向に作用する。(C)の場合はダイオード2112が電荷に対して順方向に作用する。(D)の場合はダイオード2114が電荷に対して順方向に作用する。このように(A)～(D)の場合において、それぞれのダイオード2111～2114のうちの一つが、電荷に対して順方向に作用するので、侵入した静電気の電荷は速やかに吸収され、静電気破壊は防止される。

#### <第11の実施形態>

図17は、本発明の第11の実施形態を示す回路図である。図15のダイオード2113が図17のP型MOSFET 2333に、図15のダイオード2114が図17のN型MOSFET 2334に置き換わった構成となっている。P型MOSFET 2333のゲート電極とソース電極は第1の電源端子1に接続され、ドレイン電極は信号端子2115に接続されている。したがって信号端子2115が第1の電源端子1の電位より高い電位であればP型MOSFET 2333はオン(ON)する。また、信号端子2115が第1の電源端子1の電位より低い電位であればP型MOSFET 2333はオフ(OFF)する。つまり図15のダイオード2113と同じ働きをすることになる。またN型MOSFET 2334のゲート電極とソース電極は第2の電源端子2に接続され、ドレイン電極は信号端子2115に接続されている。したが

って信号端子 2 1 1 5 が第 2 の電源端子 2 の電位より低い電位であれば N 型 MOS FET 2 3 3 4 はオン (ON) し、信号端子 2 1 1 5 が第 2 の電源端子の電位より高い電位であれば N 型 MOS FET 2 3 3 4 はオフ (OFF) する。つまり図 1 5 のダイオード 2 1 1 4 と同じ働きをすることになる。したがって図 1 7 の吸収回路としての静電気保護回路は図 1 5 の回路と同様の働きをし、強い静電気耐圧を提供する。また高周波用信号端子に適した静電気保護回路となっている。ただし、図 1 5, 図 1 6 と同様にダイオード 2 1 1 1、2 1 1 2 の各接触電位より、低い第 1、2 の電源端子間電圧で集積回路を使用する必要がある。

#### <第 1 2 の実施形態>

図 1 8 は、本発明の第 1 2 の実施形態を示す回路図である。図 1 5 のダイオード 2 1 1 1 が図 1 8 のダイオード 2 4 4 1 に、図 1 5 のダイオード 2 1 1 2 が図 1 8 のダイオード 2 2 4 2 に置き換わった構成となっている。ダイオード 2 4 4 1、2 4 4 2 の P 型拡散層と N 型拡散層の一方、もしくは両方の拡散濃度を変えて接触電位の値を大きくしている。これにより第 1、2 の電源端子間電圧をより高いところまで使用できる。

#### <第 1 3 の実施形態>

図 1 9 は、本発明の第 1 3 の実施形態を示す回路図である。図 1 5 のダイオード 2 1 1 1 が図 1 8 の 2 個の直列接続されたダイオード 2 5 5 1、2 5 5 2 に、図 1 5 のダイオード 2 1 1 2 が図 1 8 の 2 個の直列接続されたダイオード 2 5 5 3、2 5 5 4 にそれぞれ置き換わった構成となっている。図 1 9 ではダイオード 2 5 5 1 と 2 5 5 2、ダイオード 2 2 5 3 と 2 2 5 4 をそれぞれ直列に接続することにより、2 個のダイオードを 1 個のダイオードとしてみた等価的なダイオードに構成される。これにより、接触電位を 2 倍の値として、より高い第 1、2 の電源端子間電圧に対しても、順方向に流れるリーク電流なしに使用できるようにしたものである。以上から、静電気耐圧が高く、かつ寄生静電容量が小さく高周波用端子に適していて、かつ第 1、2 の電源端子間電圧も充分、実用的に高い範囲まで使用することができる。なお、図 1 9 のダイオード 2 1 1 3、2 1 1 4 は第 1、2 の電源端子の間に逆方向に接続されている。このため、通常動作時には電荷に対して逆方向に作用するので、接触電位を高く

したり、直列に接続する必要はなく従来通りの1個のダイオードでよい。

また、図19においては例えば、第1の電源端子1と信号端子2555の間には、2個のダイオード2551、2552が直列に接続されているが、使用する第1、2の電源端子間電圧の範囲に応じて3個以上ダイオードを直列接続して用いてもよい。

また、第9～第13の実施の形態においても、PN接合構造のダイオードに代えてP型MOSFETやN型MOSFETを用いてもよい。例えば、第1、2の電源端子と信号端子との間に順方向に接続されたダイオードを、図5のP型MOSFET51に置き換えることも適宜可能である。

(ダイオードの構造について)

さて、以上は回路の観点からの説明をしてきたが、以下に実施の形態1～13で 사용되는、シリコン基板上又はSOI基板上に形成されたダイオードの構造例を図20～図29に示す。なお、図20～図26はSOI基板上に、図27～29はシリコン基板上にそれぞれダイオードが形成されている図を示している。

図20はP型拡散層とN型拡散層によるダイオードを構成する場合の素子の断面図である。図20においてシリコン基板90、二酸化珪素91からなる埋め込み酸化膜層、濃度の低いP型拡散層92、P型拡散層93、N型拡散層94、アルミ配線95、96、二酸化珪素の絶縁膜97を有している。濃度の低いP型拡散層92上に、P型拡散層93とN型拡散層94とのPN接合が形成されている。なお、アルミ配線95、96により各拡散層が接続された場合として説明したが、銅などの他の金属でもよいし、また、濃度の低いN型拡散層92を用いてもよい。また二酸化珪素の膜97に必要に応じて他の物質が混じることもあるが、いずれにしろ図20の構造によってダイオードが形成できる。

図21は図20に示すダイオードを2個直列接続した場合の素子の断面図である。図21において、右側のダイオードには図20の符号にサフィックスAを、左側のダイオードには図20の符号にサフィックスBを付してある。2個のダイオードはアルミ配線106によって直列に接続されている。なお、N型拡散層94AとP型拡散層93Bとはアルミ配線106で接続されているので、この間のPNダイオードは回路的には無視できる。このようにダイオードを直列に接続した素子は図3の2個の直列

ダイオード 32、33として使用できる。図21においてはSOI（シリコン・オン・インシュレータ）基板を用いているので、ダイオードの周囲は絶縁層に覆われており、余計な寄生ダイオードが形成されないという特徴があり、2個直列接続したダイオードが純粹に構成できる。

また、図21においてはダイオード2個直列の場合を示したが、PN接続を増やしていけばほぼ同様の構成で3個以上の直列に接続したダイオードを形成できる。

図22は、図20に示すダイオードのPN接合の間に、濃度の低いP型拡散層119を設けた構成とした場合の素子の断面図である。図22では図20と比較して、ダイオードとなるP型拡散層113とN型拡散層114の拡散濃度を一段と高くしていることである。これにより、ダイオードの順方向の電圧降下分となる接触電位を大きくして、集積回路をより高い第1、2の電源端子間電圧まで使用できるようにしたものである。ただし、高い拡散濃度のP型拡散層113とN型拡散層114を直接接触させると、トンネル現象でリーク電流が生じることがあるので、濃度の緩衝領域となる濃度の低いP型拡散層119を間に設けている。

図23は、図22に示すダイオードのPN接合の間に、さらに濃度の低いN型拡散層129を設けた構成とした場合の素子の断面図である。高い拡散濃度のP型拡散層113とN型拡散層114とを直接接触させるとトンネル現象でリーク電流が生じる。図23と図22の違いは、図23ではさらにリーク電流の発生を避ける目的で、濃度の緩衝領域を濃度の低いP型拡散層119以外に濃度の低いN型拡散層129が設られている。これにより、更に両端のPNの拡散濃度を高くして接触電位を大きくし、集積回路の使用電圧範囲を広げることが可能となる。

図24はP型拡散層とN型拡散層によるダイオードを構成する場合の素子の断面図である。図24においてP型拡散層2911、N型拡散層2912、SOI基板に特有の二酸化珪素による埋め込み酸化膜層2913、シリコン基板2910、アルミ配線2914、2915、二酸化珪素の絶縁膜2916、2917、2918を有している。このとき、アルミ配線2914の端子からP型拡散層2911、N型拡散層2912、アルミ配線2915の端子間においてPNダイオードが形成されている。なお、アルミ配線2914、2915を使用した場合として説明したが、銅などの他

の金属でもよい。また、二酸化珪素の絶縁膜 2 9 1 3 としたが、絶縁膜であればよいのでサファイア（このとき基板はシリコン・オン・サファイア S O S となる）やダイヤモンド等であってもよい。いずれにしろ図 2 4 の構造によってもダイオードが形成できる。なお、図 2 4 のように S O I の埋め込み酸化層の絶縁膜の上に形成されたダイオードは周囲を絶縁膜で隔離されるので、本来の目的とするダイオード以外の寄生ダイオードの付着を防止できるという特徴がある。

図 2 5 は P 型拡散層と N 型拡散層によるダイオードを 2 個直列に構成する場合の素子の断面図である。図 2 5 は図 2 4 に示すダイオードを 2 個直列接続した場合の素子の断面図である。図 2 5 において、右側のダイオードには図 2 4 の符号にサフィックス A を、左側のダイオードには図 2 4 の符号にサフィックス B を付してある。2 個のダイオードはアルミ配線 3 0 2 6 によって直列に接続されている。N 型拡散層 2 9 1 2 B から P 型拡散層 2 9 1 1 A へはアルミ配線 3 0 2 6 で接続しているので、この間に P N ダイオードは回路的には無視できる。このようにダイオードを直列に接続した素子は、図 1 9 の 2 個の直列接続されたダイオード 2 5 5 1、2 5 5 2 として、もしくは直接ダイオード 2 5 5 3、2 5 5 4 としても使用できる。図 2 5 においては S O I（シリコン・オン・インシュレータ）基板を用いているので、ダイオードの周囲は絶縁層に覆われており、余計な寄生ダイオードが形成されないという特徴があり、2 個直列接続したダイオードが純粋に構成できる。

また、図 2 5 においてはダイオードを 2 個直列接続した場合を示したが、P N の横の配列を増やしていけば、ほぼ同様の構成で 3 個以上の直列に接続したダイオードを形成できる。

図 2 6 は P 型拡散層と N 型拡散層によるダイオードを 2 個直列に構成する場合の素子の断面図である。図 2 6 において、右側のダイオードには図 2 4 の符号にサフィックス C を、左側のダイオードには図 2 4 の符号にサフィックス D を付してある。このとき、アルミ配線 3 1 3 4 の端子から P 型拡散層 2 9 1 1 D、N 型拡散層 2 9 1 2 D、P 型拡散層 2 9 1 1 C、N 型拡散層 2 9 1 2 C、アルミ配線 3 1 3 5 の端子間において P-N ダイオードが直列に 2 個形成されている。なお、N 型拡散層 2 9 1 2 D から P 型拡散層 2 9 1 1 C へはアルミ配線 3 1 3 6 で接続しているので、この間に P



Nダイオードは回路的には無視できる。このようにダイオードを直列に接続した素子は図19の2個の直列ダイオード2551、2552として、もしくは直接ダイオード2553、2554として使用できる。図26においてはSOI基板を用いているので、ダイオードの周囲は絶縁層に覆われており、余計な寄生ダイオードが形成されないという特徴があり、2個直列接続したダイオードが純粋に構成できる。

SOI基板を用いていれば、図24や図25や図26で形成されたダイオードを組み合わせ、アルミ配線層で接続することにより、3個以上の複数個のダイオードを直列接続した構成を容易に形成できる。

なお、以上のダイオード構造は、埋め込み酸化膜層を有するシリコン・オン・インシュレータ基板（SOI）を用いた集積回路として説明してきた。しかし、絶縁膜であれば同様の機能の構成ができるのでサファイア（このとき基板はシリコン・オン・サファイアSOSとなる）やダイヤモンド等を基板の絶縁層として用いた集積回路であつてもよい。

図27はP型拡散層とN型拡散層によるダイオードを構成する場合の素子の断面図である。図27においてP型拡散層2681、N型拡散層2682、濃度の低いNウェル2683、アルミ配線2684、2685、二酸化珪素の絶縁膜2686、2687、2688を有している。アルミ配線2684の端子からP型拡散層81、Nウェル2683、N型拡散層2682、アルミ配線2685の端子間においてP-Nダイオードが形成されている。

なお、アルミ配線2684、2685の場合として説明したが、銅などの他の金属でもよいし、また、二酸化珪素2686、2687、2688の膜に必要に応じて他の物質が混じることもあるが、いずれにしろ図27の構造によってダイオードが形成できる。

図28はP型拡散層とN型拡散層によるダイオードを構成する場合の素子の断面図である。図28においてP型拡散層2791、N型拡散層2792、濃度の低いPウェル2793、アルミ配線2794、2795、二酸化珪素の絶縁膜2796、2797、2798を有している。図28では、アルミ配線2794の端子からP型拡散層2791、Pウェル2793、N型拡散層2792、アルミ配線2795の端子

間においてP-Nダイオードが形成されている。この図28と図27との違いは、図27のNウェル2683の代わりに、図28においてはPウェル2793を用いていることである。

図29はP型拡散層とN型拡散層によるダイオードを構成する場合の素子の断面図である。図29においてP型拡散層2801、N型拡散層2802、濃度の低いNウェル2803、アルミ配線2804、2805、二酸化珪素の絶縁膜2806、2807、2808を有している。アルミ配線2804の端子からP型拡散層2801、N型拡散層2802、アルミ配線2805の端子間においてP-Nダイオードが形成されている。この図の構造によってもダイオードが形成できる。

以上のように本発明の静電気保護回路によれば、広い面積のウェル層を有せず、本質的に静電気に弱い傾向のあるSOI集積回路において、電源端子間においても信号端子においても、高い静電気耐圧が得られるという効果がある。

また、本発明では静電気の電荷を順方向のダイオードで吸収させるので、同じ静電気耐圧を確保する為には集積回路内のダイオードを形成する占有面積が小さくとも良く、レイアウト効率や、コストダウンに効果がある。

## 請 求 の 範 囲

1. 第1の電圧が印加される第1の電源端子と、

前記第1の電圧よりも低い第2の電圧が印加される第2の電源端子と、

前記第1, 第2の電源端子間に逆方向接続された第1のダイオードと、

前記第1, 第2の電源端子間に順方向接続された第2のダイオードと、

を有し、

前記第1, 第2の電源端子間に供給される駆動電圧よりも、前記第2のダイオードの順方向降下電圧が高く設定されていることを特徴とする静電気保護回路。

2. 請求項1において、

前記第2のダイオードは、P型拡散層とN型拡散層とが接触したPN接合構造を有し、前記順方向降下電圧が、前記P型拡散層と前記N型拡散層との接触電位にて定義されることを特徴とする静電気保護回路。

3. 請求項1において、

前記第2のダイオードは、直列接続された複数のダイオードにて形成され、前記複数のダイオードの各々が、P型拡散層とN型拡散層とが接触したPN接合構造を有することを特徴とする静電気保護回路。

4. 請求項1において、

前記第2のダイオードは、第1のP型拡散層と第1のN型拡散層との間に、第2のP型またはN型拡散層を互いに接触させて配置して形成され、前記第1のP型及びN型拡散層の拡散濃度が、前記第2のP型またはN型拡散層の拡散濃度よりも濃く設定されていることを特徴とする静電気保護回路。

5. 請求項1において、

前記第2のダイオードは、ドレイン及びゲート電極が接続されたMOSトランジスタにて形成され、前記順方向降下電圧が前記MOSトランジスタのスレショルド電圧にて定義されることを特徴とする静電気保護回路。

6. 請求項1において、

前記第2のダイオードは、複数のMOSトランジスタを直列接続して形成され、前記複数のMOSトランジスタの各々は、ドレイン及びゲート電極が接続されているこ

とを特徴とする静電気保護回路。

7. 請求項 1 乃至 6 のいずれかにおいて、

前記第 1 のダイオードは、ソース電極とゲート電極とが前記第 1 の電源端子に接続された P 型 MOS トランジスタと、ソース電極とゲート電極とが前記第 2 の電源端子に接続された N 型 MOS トランジスタとを、並列に接続して構成されていることを特徴とする静電気保護回路。

8. 請求項 1 乃至 7 のいずれかにおいて、

前記第 1, 第 2 のダイオードが、シリコン・オン・インシュレータ (SOI) 基板上に形成されていることを特徴とする静電気保護回路。

9. 第 1 の電圧が印加される第 1 の電源端子と、

前記第 1 の電圧よりも低い第 2 の電圧が印加される第 2 の電源端子と、

前記第 1 の電圧以下でかつ前記第 2 の電圧以上の信号電圧が印加される信号端子と、

前記第 1 の電源端子と前記信号端子との間に順方向接続された第 1 のダイオードと、

前記信号端子と前記第 2 の電源端子との間に順方向接続された第 2 のダイオードと、

前記第 1 の電源端子と前記信号端子との間に逆方向接続された第 3 のダイオードと、

前記信号端子と前記第 2 の電源端子との間に逆方向接続された第 4 のダイオードと、

を有し、

前記第 1, 第 2 の電源端子間に供給される駆動電圧よりも、前記第 1, 第 2 のダイオードの各々の順方向降下電圧が高く設定されていることを特徴とする静電気保護回路。

10. 請求項 9 において、

前記第 1, 第 2 のダイオードの各々は、P 型拡散層と N 型拡散層とが接触した PN 接合構造を有し、前記順方向降下電圧が、前記 P 型拡散層と前記 N 型拡散層との接触

電位にて定義されることを特徴とする静電気保護回路。

1 1. 請求項 9 において、

前記第 1, 第 2 のダイオードの各々は、直列接続された複数のダイオードにて形成され、前記複数のダイオードの各々が、P 型拡散層と N 型拡散層とが接触した P N 接合構造を有することを特徴とする静電気保護回路。

1 2. 請求項 9 において、

前記第 2 のダイオードは、第 1 の P 型拡散層と第 1 の N 型拡散層との間に、第 2 の P 型または N 型拡散層を互いに接触させて配置して形成され、前記第 1 の P 型及び N 型拡散層の拡散濃度が、前記第 2 の P 型または N 型拡散層の拡散濃度よりも濃く設定されていることを特徴とする静電気保護回路。

1 3. 請求項 9 において、

前記第 1, 第 2 のダイオードの各々は、ドレイン及びゲート電極が接続された MOS トランジスタにて形成され、前記順方向降下電圧が前記 MOS トランジスタのスレシヨルド電圧にて定義されることを特徴とする静電気保護回路。

1 4. 請求項 9 において、

前記第 1, 第 2 のダイオードの各々は、複数の MOS トランジスタを直列接続して形成され、前記複数の MOS トランジスタの各々は、ドレイン及びゲート電極が接続されていることを特徴とする静電気保護回路。

1 5. 請求項 9 乃至 1 4 のいずれかにおいて、

前記第 3, 第 4 のダイオードの各々は、ソース電極とゲート電極とが前記第 1 の電源端子に接続された P 型 MOS トランジスタと、ソース電極とゲート電極とが前記第 2 の電源端子に接続された N 型 MOS トランジスタとを並列に接続して構成されていることを特徴とする静電気保護回路。

1 6. 請求項 9 乃至 1 5 のいずれかにおいて、

前記第 1 ~ 第 4 のダイオードが、シリコン・オン・インシュレータ (SOI) 基板上に形成されていることを特徴とする静電気保護回路。

1 7. 請求項 9 乃至 1 6 のいずれかにおいて、

前記信号端子には、高周波信号が入力されることを特徴とする静電気保護回路。

18. 複数のP型MOSトランジスタ及び複数のN型MOSトランジスタを接続して構成される論理回路と、

前記論理回路の周辺に配置された入出力回路と、  
を有し、

前記入出力回路は、前記論理回路を静電気から保護する静電気保護回路を含み、  
前記静電保護回路は、

第1の電圧が印加される第1の電源端子と、

前記第1の電圧よりも低い第2の電圧が印加される第2の電源端子と、

前記第1、第2の電源端子間に逆方向接続された第1のダイオードと、

前記第1、第2の電源端子間に順方向接続された第2のダイオードと、

を有し、

前記第1、第2の電源端子間に供給される駆動電圧よりも、前記第2のダイオードの順方向降下電圧が高く設定されていることを特徴とする半導体集積回路。

19. 請求項18において、

前記第2のダイオードは、P型拡散層とN型拡散層とが接触したPN接合構造を有し、前記順方向降下電圧が、前記P型拡散層と前記N型拡散層との接触電位にて定義されることを特徴とする半導体集積回路。

20. 請求項19において、

前記P型及びN型拡散層の少なくとも一方の拡散濃度は、前記複数のP型及びN型MOSトランジスタのソース電極に使用される拡散層の拡散濃度と等しく設定されていることを特徴とする半導体集積回路。

21. 請求項19において、

前記P型及びN型拡散層の少なくとも一方の拡散濃度は、前記複数のP型及びN型MOSトランジスタのソース電極に使用される拡散層の拡散濃度よりも高く設定されていることを特徴とする半導体集積回路。

22. 請求項18において、

前記第2のダイオードは、ドレイン及びゲート電極が接続されたMOSトランジスタにて形成され、前記順方向降下電圧が前記MOSトランジスタのスレシヨルド電圧

にて定義されることを特徴とする半導体集積回路。

23. 請求項22において、

前記第2のダイオーを形成する前記MOSトランジスタのスレッシュホールド電圧は、前記複数のP型及びN型MOSトランジスタの各々のスレッシュホールド電圧よりも高く設定されている半導体集積回路。

24. 複数のP型MOSトランジスタ及び複数のN型MOSトランジスタを接続して構成される論理回路と、

前記論理回路の周辺に配置された入出力回路と、  
を有し、

前記入出力回路は、前記論理回路を静電気から保護する静電気保護回路を含み、  
前記静電保護回路は、

第1の電圧が印加される第1の電源端子と、

前記第1の電圧よりも低い第2の電圧が印加される第2の電源端子と、

前記第1の電圧以下でかつ前記第2の電圧以上の信号電圧が印加される信号端子と、

前記第1の電源端子と前記信号端子との間に順方向接続された第1のダイオードと、

前記信号端子と前記第2の電源端子との間に順向接続された第2のダイオードと、  
前記第1の電源端子と前記信号端子との間に逆方向接続された第3のダイオードと、

前記信号端子と前記第2の電源端子との間に逆方向接続された第4のダイオードと、

を有し、

前記第1, 第2の電源端子間に供給される駆動電圧よりも、前記第3, 第4のダイオードの各々の順方向降下電圧が高く設定されていることを特徴とする半導体集積回路。

25. 請求項24において、

前記第1, 第2のダイオードの各々は、P型拡散層とN型拡散層とが接触したPN

接合構造を有し、前記順方向降下電圧が、前記P型拡散層と前記N型拡散層との接触電位にて定義されることを特徴とする静電気保護回路。

26. 請求項25において、

前記P型及びN型拡散層の少なくとも一方の拡散濃度は、前記複数のP型及びN型MOSトランジスタのソース電極に使用される拡散層の拡散濃度と等しく設定されていることを特徴とする半導体集積回路。

27. 請求項25において、

前記P型及びN型拡散層の少なくとも一方の拡散濃度は、前記複数のP型及びN型MOSトランジスタのソース電極に使用される拡散層の拡散濃度よりも高く設定されていることを特徴とする半導体集積回路。

28. 請求項24において、

前記第1, 第2のダイオードの各々は、ドレイン及びゲート電極が接続されたMOSトランジスタにてそれぞれ形成され、前記ドレイン及びゲート電極が接続され、前記順方向降下電圧が前記MOSトランジスタのスレシヨルド電圧にて定義されることを特徴とする半導体集積回路。

29. 請求項28において、

前記第1, 第2のダイオードを形成する各々の前記MOSトランジスタのスレシヨルド電圧は、前記複数のP型及びN型MOSトランジスタの各々のスレシヨルド電圧よりも高く設定されている半導体集積回路。



FIG. 1

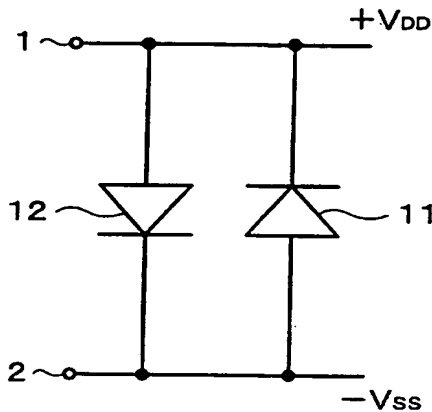
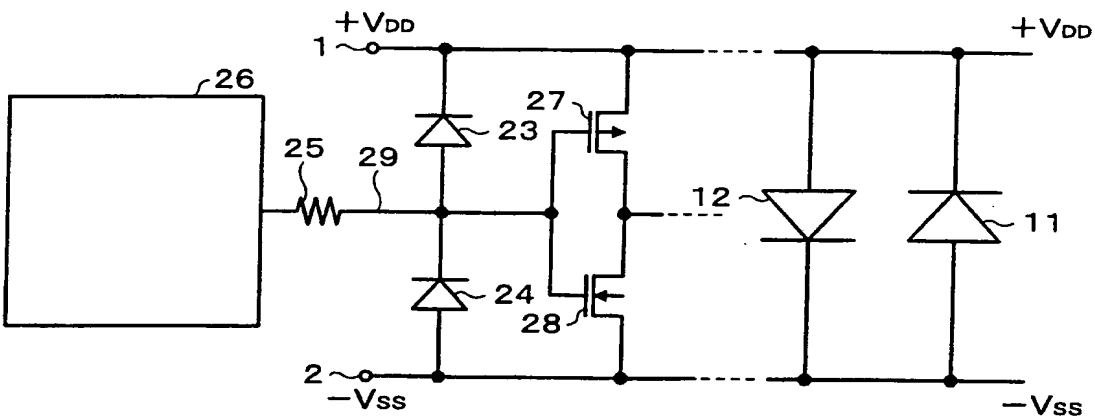
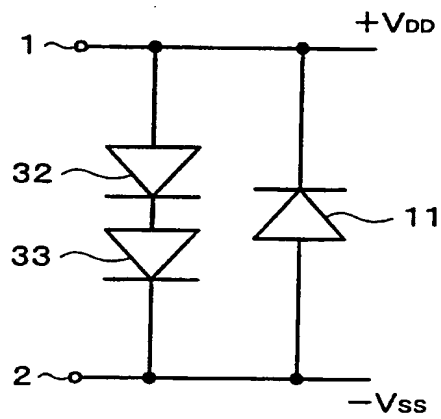
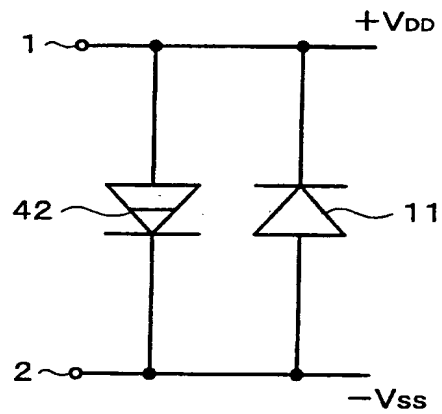


FIG. 2

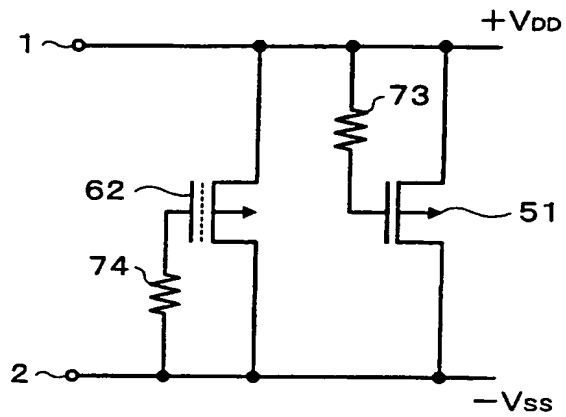
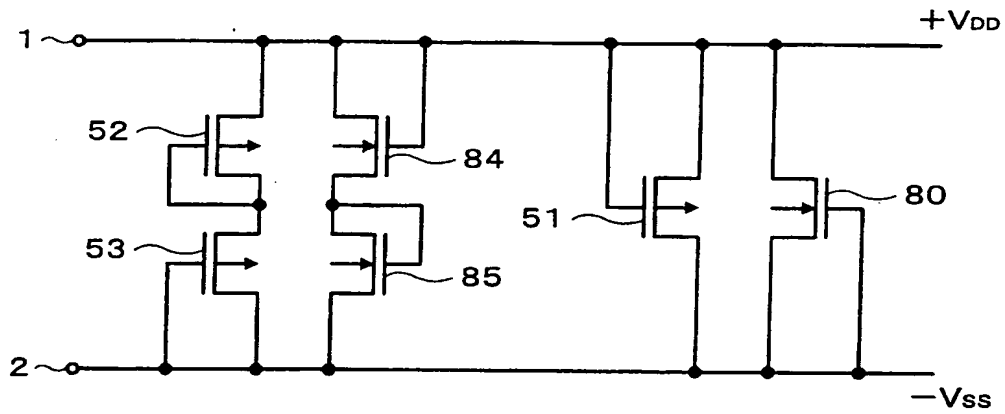


2/17

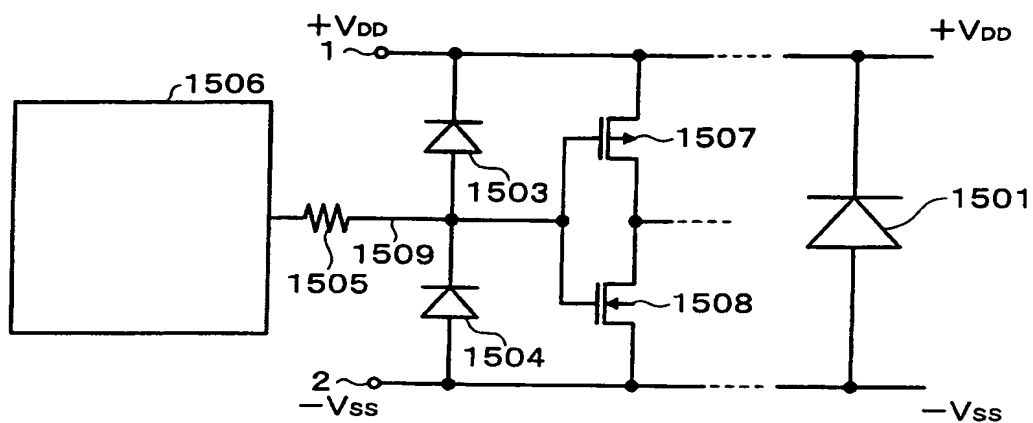
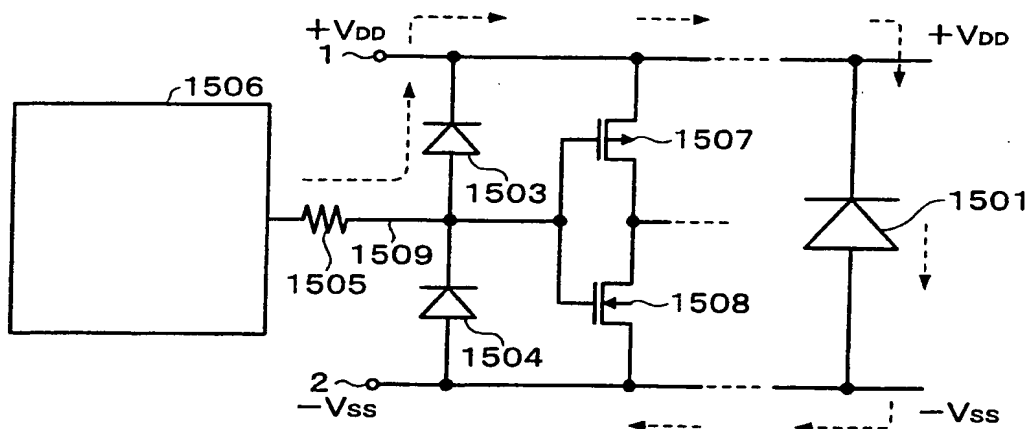
**FIG. 3****FIG. 4**



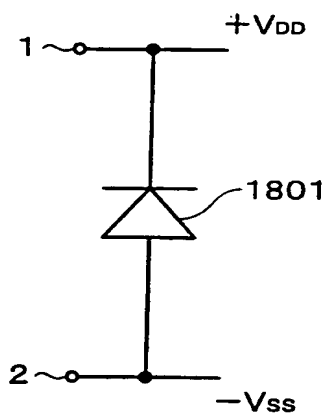
4/17

**FIG. 7****FIG. 8**

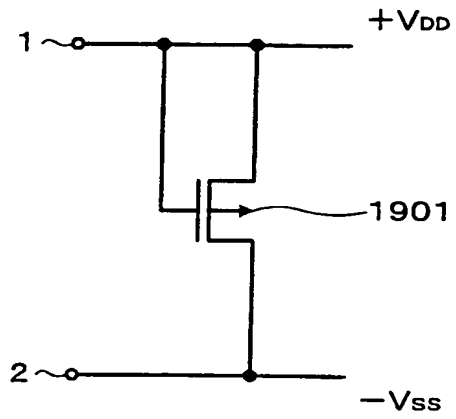
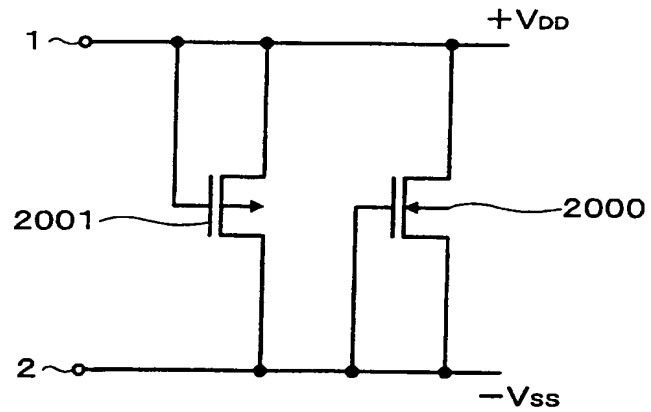
5/17

**FIG. 9****FIG. 10**

6/17

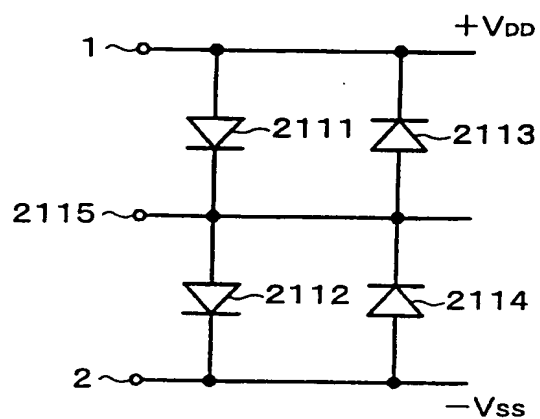
**FIG. 11****FIG. 12**

7/17

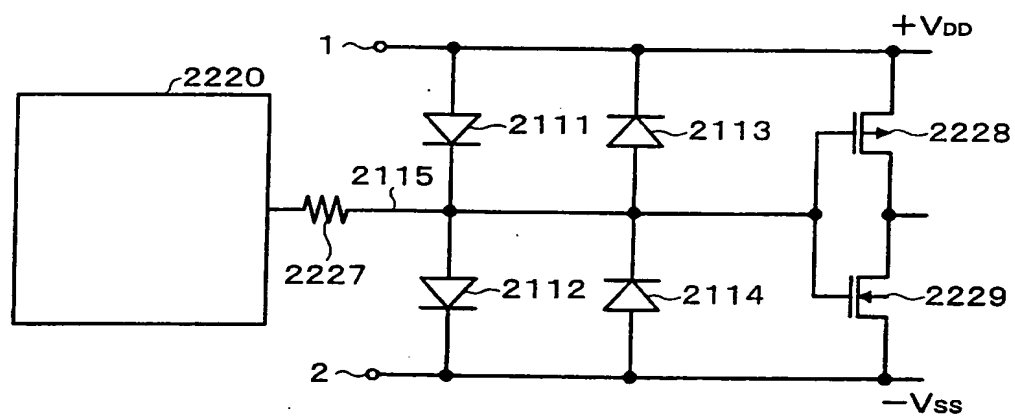
**FIG. 13****FIG. 14**

8/17

**FIG. 15**

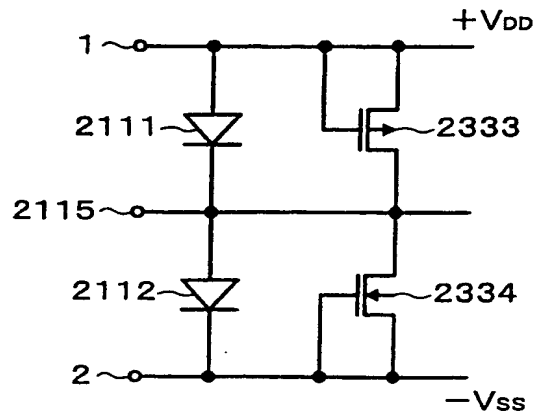
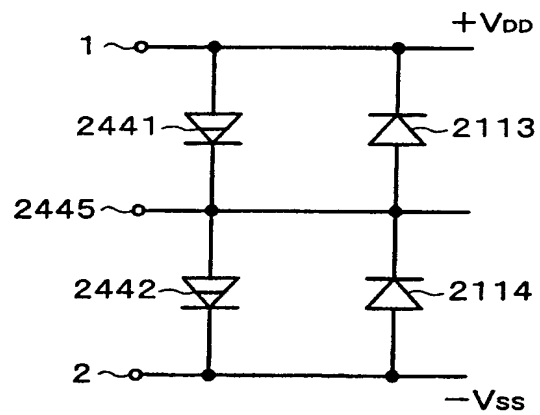


**FIG. 16**



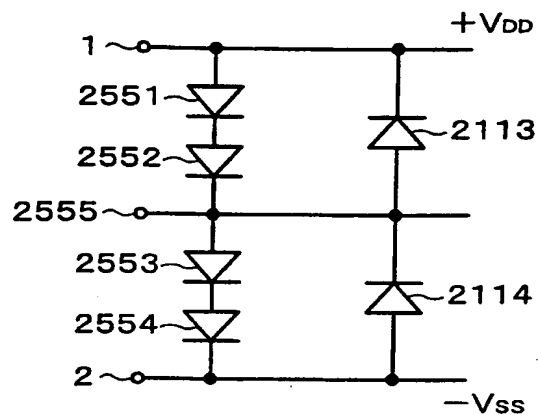


9/17

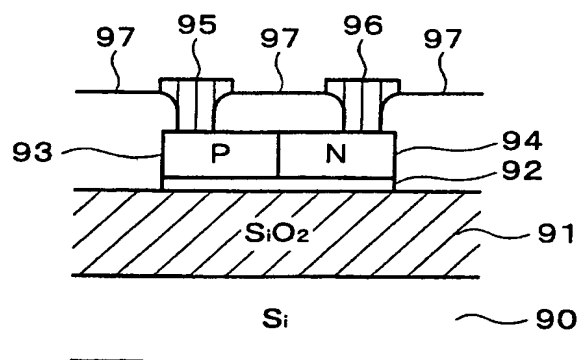
**FIG. 17****FIG. 18**

10/17

**FIG. 19**

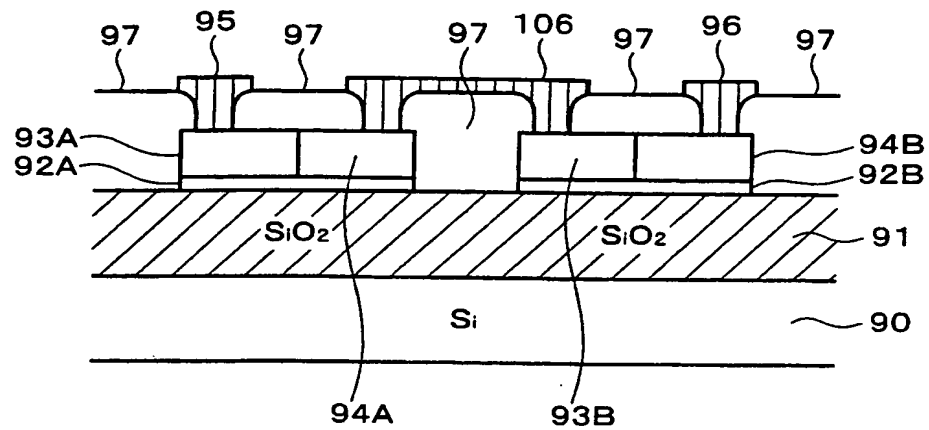


**FIG. 20**

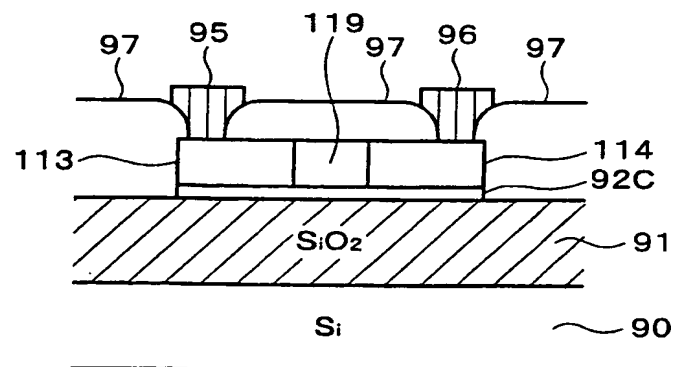


11/17

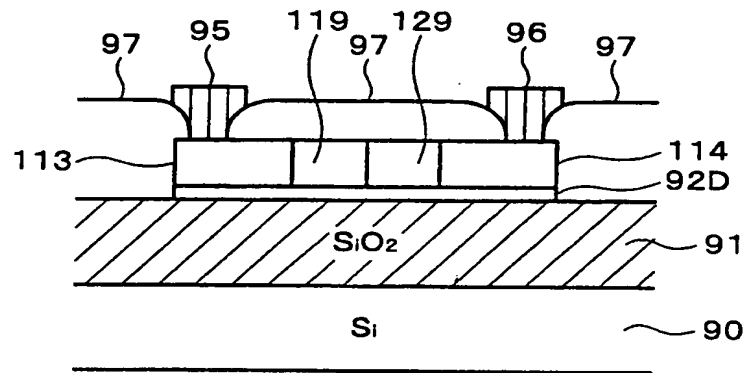
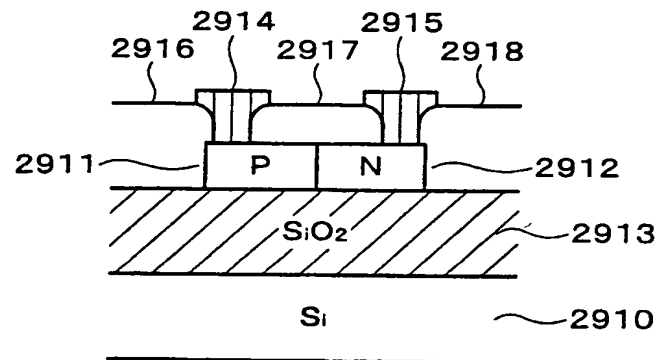
**FIG. 21**



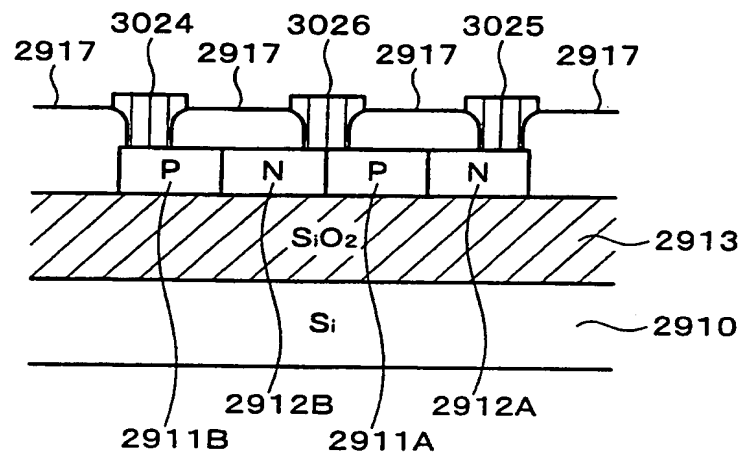
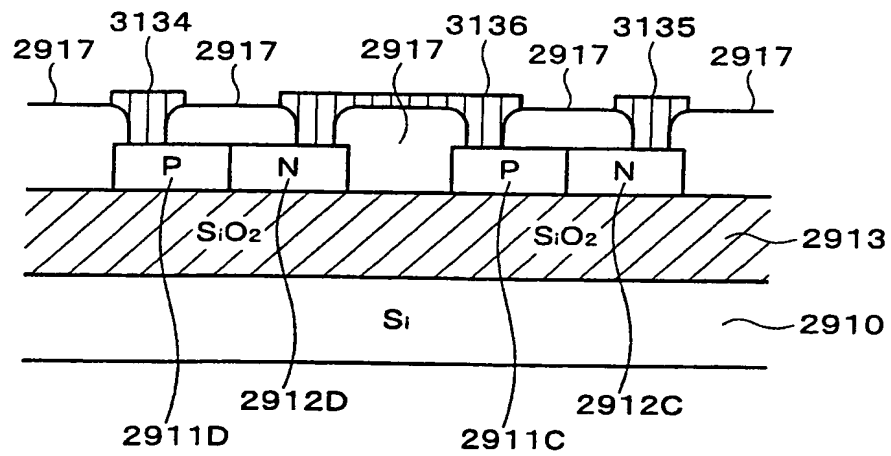
**FIG. 22**



12/17

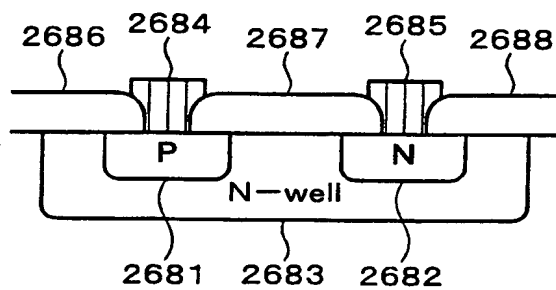
**FIG. 23****FIG. 24**

13/17

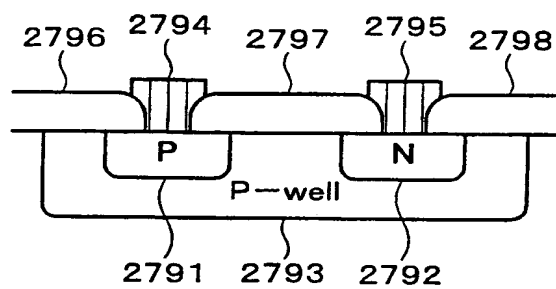
**FIG. 25****FIG. 26**

14/17

**FIG. 27**

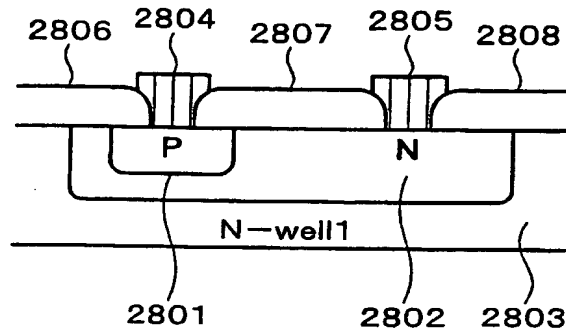


**FIG. 28**

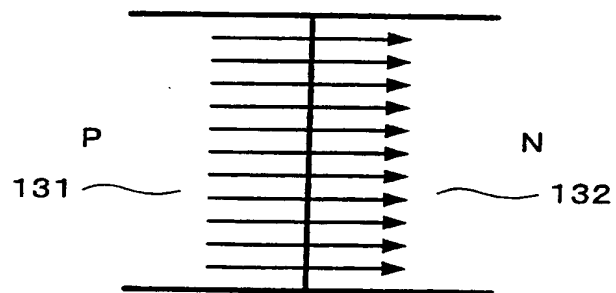


15/17

**FIG. 29**



**FIG. 30**



16/17

**FIG. 31**

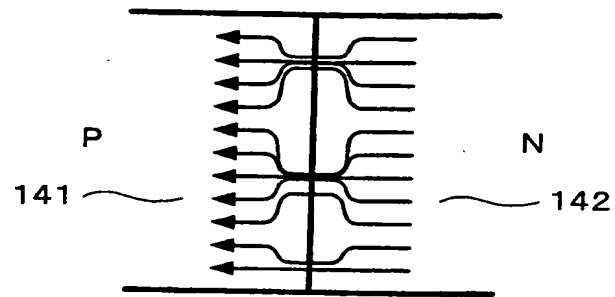
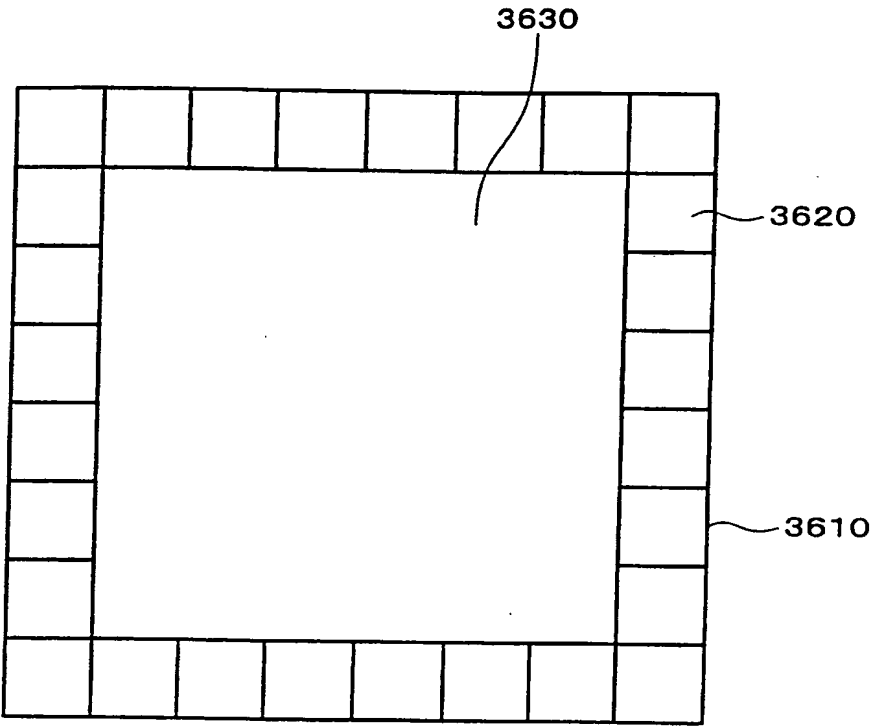




FIG. 32



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00215

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L 27/04

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L 21/822, 27/04Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-2000 Toroku Jitsuyo Shinan Koho 1994-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 6-335162, A (NEC Corporation), 02 December, 1994 (02.12.94), page 3, right column, line 28 to page 4, left column, line 18; Fig. 1 (Family: none)	1, 2, 18, 19 3-8, 20-23
Y	JP, 8-172188, A (Kawasaki Steel Corporation), 02 July, 1996 (02.07.96), page 4, right column, line 18 to page 5, left column, line 13; Fig. 1 (Family: none)	3-8
X Y	JP, 59-50559, A (Hitachi, Ltd.), 23 March, 1984 (23.03.84), page 2, upper right column, line 17 to page 4, upper right column, line 1; Figs. 3 to 22 (Family: none)	9-11, 13, 14, 24, 25, 28, 29 5-8, 12, 15- 17, 20-23, 26, 27
Y	JP, 10-257671, A (Mitsubishi Electric Corporation), 25 September, 1998 (25.09.98), page 3, left column, line 24 to right column, line 4; Figs. 1-4 (Family: none)	4, 7, 8, 12, 15-17 , 20-23, 26, 27

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
10 April, 2000 (10.04.00)Date of mailing of the international search report  
25 April, 2000 (25.04.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H01L 27/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H01L 21/822, 27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-2000年  
日本国公開実用新案公報 1971-2000年  
日本国登録実用新案公報 1994-2000年  
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X, Y	JP, 6-335162, A (日本電気株式会社) 2. 12月. 1994 (02. 12. 94) 第3頁右欄第28行-第4頁左欄第18行, 第1図 (ファミリーなし)	1, 2, 18, 19 3-8, 20-23
Y	JP, 8-172188, A (川崎製鉄株式会社) 2. 7月. 1996 (02. 07. 96) 第4頁右欄第18行-第5頁左欄第13行, 第1図 (ファミリーなし)	3-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10. 04. 00

国際調査報告の発送日

25.04.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

北 島 健 次

4 L

8 2 2 5

電話番号 03-3581-1101 内線 3498

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X, Y	J P, 59-50559, A (株式会社日立製作所) 23. 3月. 1984 (23. 03. 84) 第2頁右上欄第17行-第4頁右上欄第1行, 第3図-第22図 (ファミリーなし)	9-11, 13, 14, 24, 25, 28, 29 5-8, 12, 15- 17, 20-23, 26, 27
Y	J P, 10-257671, A (三菱電機株式会社) 25. 9月. 1998 (25. 09. 98), 第3頁左欄第24行-右欄第4行, 第1図-第4図 (ファミリーなし)	4, 7, 8, 12, 15- 17, 20-23, 26, 27